

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-182547

(43)Date of publication of application : 30.06.2000

(51)Int.Cl. H01J 31/12

G09G 3/22

G09G 3/30

H01J 29/04

(21)Application number : 10-357935 (71)Applicant : SONY CORP

(22)Date of filing : 16.12.1998 (72)Inventor : KONISHI MORIKAZU

(54) FLAT DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a flat display unit capable of reducing a driving voltage to emit electrons selectively from a plurality of cathodes, reducing electric power consumption, and high-speed operation.

SOLUTION: This flat display device has a plurality of electric field emission type cathodes K, a high voltage electrode which fixedly supplies an intense electric field forms a Schottky barrier which makes possible electrons being emitted from the cathodes K to the surfaces of the cathodes K, a two dimensional MOS gate array which controls electron emission from the cathodes K, and a phosphor layer which glows by impacts of electrons selectively emitted from the cathodes K.

LEGAL STATUS [Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The high voltage electrode which gives the heavy current community which forms in the front face of two or more field emission mold cathodes and two or more of these field emission mold cathodes the shot key barrier which can make possible the electron emission from these two or more field emission mold cathodes fixed, By the impact of the electron alternatively emitted from the two-dimensional MOS gate array which is connected to two or more above-mentioned field emission mold cathodes, and controls the existence of radiation of the electron from these two or more field emission mold cathodes, and two or more above-mentioned field emission mold cathodes The flat-surface mold display characterized by having the fluorescent substance layer which carries out luminosity.

[Claim 2] The field emission mold cathode group by which the pixel which consists of a field emission mold cathode of the m line n train (however, m and n one or more integers) allotted in the shape of a matrix was arranged in the shape of [of a M line N

train (however, M and N two or more integers)] a matrix, The high voltage electrode which gives the heavy current community which forms the shot key barrier which can make possible the electron emission from this each field emission mold cathode in the front face of each field emission mold cathode which constitutes this field emission mold cathode group fixed, The two-dimensional MOS gate array which consists of the MOS gate where each field emission mold cathode which constitutes the above-mentioned field emission mold cathode group was connected to the drain at each **, respectively, The scan driving means which impresses the pulse voltage which turns ON this each MOS gate at the gate of each MOS gate connected to each field emission mold cathode of the pixel of the M above-mentioned lines to a sequential circulation target for every line of the M above-mentioned lines, Synchronizing with the above-mentioned pulse voltage generated from this scan driving means, in the source of each MOS gate connected to each field emission mold cathode of the pixel of the above-mentioned N train, to coincidence The flat-surface mold display characterized by having the image data driving means which impresses a low battery alternatively for every train of the above-mentioned N train, and the fluorescent substance layer in which the impact of the electron alternatively emitted from the above-mentioned field emission mold cathode for every above-mentioned pixel carries out luminosity according to the image which it is going to display.

[Claim 3] The above-mentioned high voltage electrode is a flat-surface mold display characterized by being the anode electrode with which the above-mentioned fluorescent substance layer was formed in the flat-surface mold display according to claim 1.

[Claim 4] the flat-surface mold display which pulls out and is characterized by the thing which the above-mentioned high voltage electrode approached two or more above-mentioned field emission mold cathodes, and was come out of and established for it in the flat-surface mold display according to claim 1, and which is an electrode.

[Claim 5] The flat-surface mold display characterized by preparing a screening electrode near two or more above-mentioned field emission mold cathodes in a flat-surface mold display according to claim 1.

[Claim 6] the low battery alternatively impressed to the above-mentioned screening electrode in a flat-surface mold display according to claim 5 at two or more above-mentioned field emission mold cathodes, and abbreviation -- the flat-surface mold display characterized by being equal or impressing an electrical potential difference lower than this low battery.

[Claim 7] the low battery alternatively impressed to two or more above-mentioned field emission mold cathodes in a flat-surface mold display according to claim 5 at the above-mentioned screening electrode when the above-mentioned MOS gate is OFF at least, and abbreviation -- the flat-surface mold display characterized by carrying out as [impress / it is equal or / an electrical potential difference lower than this low

battery].

[Claim 8] The above-mentioned high voltage electrode is a flat-surface mold display characterized by being the anode electrode with which the above-mentioned fluorescent substance layer was formed in the flat-surface mold display according to claim 2.

[Claim 9] the flat-surface mold display which pulls out and is characterized by the thing for which the above-mentioned high voltage electrode approached the above-mentioned field emission mold cathode group, and was come out of and prepared in it in the flat-surface mold display according to claim 2, and which is an electrode.

[Claim 10] The flat-surface mold display characterized by preparing a screening electrode near the above-mentioned field emission mold cathode group in a flat-surface mold display according to claim 2.

[Claim 11] the low battery alternatively impressed to the above-mentioned screening electrode in a flat-surface mold display according to claim 10 at two or more above-mentioned field emission mold cathodes, and abbreviation -- the flat-surface mold display characterized by being equal or impressing an electrical potential difference lower than this low battery.

[Claim 12] the low battery impressed to the above-mentioned screening electrode in a flat-surface mold display according to claim 10 at selection at the field emission mold cathode of the above-mentioned field emission mold cathode group when the above-mentioned MOS gate is OFF at least, and abbreviation -- the flat-surface mold display characterized by carrying out as [impress / it is equal or / an electrical potential difference lower than this low battery].

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the flat-surface mold display equipped with the field emission mold cathode.

[0002]

[Description of the Prior Art] The conventional example of the flat-surface mold display which equipped below with the field emission mold cathode (emitter) with reference to drawing 15 and drawing 16 is explained. In drawing 15 and drawing 16 , KK **** G is the cathode electrode and gate electrode (drawer electrode) which constitute XY The Matrix and which are each the regular intervals of two or more books, and equal width, and it is allotted so that it may cross mutually and may

counter through an insulating layer Z. A — two or more gate electrodes G — receiving — predetermined spacing — with, it is the anode electrode which counters. The fluorescent substance layer P is applied to the top face (an inferior surface of tongue is also good) of the anode electrode A.

[0003] In the intersection crotched portion of two or more cathode electrodes KK and two or more gate electrodes G, while the hole H of a round shape is drilled by each gate electrode G, the cavity valve flow coefficient which is open for free passage to this hole H is formed in an insulating layer Z. It sets in this cavity valve flow coefficient, and he is Spindt (Spindt: name of a person) of a cone configuration on the cathode electrode KK. The mold field emission mold cathode (emitter) K stands erect. The field emission mold cathode K consists of ingredients with which electron emission is made according to the tunnel effect, such as Mo, W, and Cr, by giving alternatively $0.01\text{v}/\text{A}$ — about $0.1\text{v} [\text{v}/\text{A}]$ electric field. And the physical relationship between Hole H and Cathode K is set up so that the top-most vertices of Cathode K may be located at the core of Hole H.

[0004] These electrodes G, the cathode electrode KK, Cathode K, the anode electrode A, the fluorescent substance layer P, and an insulating layer Z are contained in the flattened tube which consists of glass etc., and are made with a vacuum in a flattened tube.

[0005] The fixed electrical potential difference, for example, the direct current voltage of 3kV, is impressed to the anode electrode A. The direct current voltage from the scanning driver SD (100V [for example,]) is impressed to two or more gate electrodes G from the upper gate electrode G in drawing 15 to the lower gate electrode G at a sequential circulation target. The electrical potential difference of 0V (for example, the electrical potential difference of 0V–10V is also good) according to the picture signal from the data driver DD is impressed to two or more cathode electrodes KK at selection.

[0006] In the intersection of KK a cathode electrode when the gate electrode G with which impression ** of the direct current voltage of 100V was carried out two or more gate electrodes G and among two or more KK a cathode electrode, and the electrical potential difference of 0V were impressed in this way Field emission (electron emission) is started between Cathode K and the anode electrode A, the impact of the electron pulled out from Cathode K with the gate electrode G is carried out to the anode electrode A, and the fluorescent substance layer P emits light.

[0007] In this flat-surface mold display, an image is displayed for the intersection of KK a cathode electrode [the gate electrode G and], for example, the assembly for 1000 pieces, as 1 pixel. If the whole fluorescent substance layer P is constituted from a white luminescence fluorescent substance layer, a monochrome flat-surface mold display will be obtained, and if the fluophor layer P is constituted from red who has the width of face in every pixel, green, and a blue luminescence fluorescent substance

stripe, a color flat-surface mold display will be obtained.

[0008] As an example of the field emission mold cathode (emitter) K, although are illustrated to drawing 16 , and it is variously, some of the examples are explained to others with reference to drawing 17 . In addition, as for drawing 17 A1, B1, and C1, the top view of a cathode, drawing 17 A2, B-2, and C2 are the sectional views of the cathode of drawing 17 A1, B1, and C1, respectively.

[0009] Drawing 17 A1 and A2 shows the electrode of a pair, one of these is a cathode, another side is a gate electrode, and an electron is emitted toward the anode electrode which omitted illustration from the gate electrode of a cathode, and the edge which counters.

[0010] Drawing 17 B1 and B-2 show the cathode which has a square hole, and an electron is emitted from the edge of the hole of the square.

[0011] Drawing 17 C1 and C2 shows the cathode dented so that the top face of a disk might constitute a curved surface, for example, the spherical surface, and an electron is emitted from the concave Mino edge.

[0012] As an example of the field emission mold cathode (emitter) K, you may constitute from an electron emission component of the MIM mold which consists of a metal / an insulating layer / a metal.

[0013]

[Problem(s) to be Solved by the Invention] The flat-surface mold display explaining drawing 15 and drawing 16 was performing existence of electroluminescence by the existence of impression of each predetermined electrical potential difference to a cathode (emitter) and a gate electrode (drawer electrode). For this reason, since it was necessary to impress a heavy current community (for example, 0.05 V/A) for every selection of a pixel (i.e., since electron emission at the time of selection / un-choosing was controlled by electric field), the driver voltage at the time of selection of a pixel became high, and there was a problem in the cathode which constitutes the selected pixel in respect of high-speed operation and power consumption. [which is a pixel]

[0014] In the flat-surface mold display which has the fluorescent substance layer in which the impact of the electron with which this invention was emitted in view of this point from the field emission mold cathode with which it was chosen of two or more field emission mold cathodes and two or more of its field emission mold cathodes carries out luminosity While low-battery-izing of the driver voltage for making an electron emit alternatively from two or more field emission mold cathodes and reduction-izing of power consumption are possible, it is going to propose the possible flat-surface mold display of high-speed operation.

[0015] Moreover, the pixel which consists of a field emission mold cathode of the m line n train (however, m and n one or more integers) allotted in the shape of a matrix this invention In the flat-surface mold display which has the fluorescent substance

layer in which the impact of the electron emitted from the field emission mold cathode for every pixel of the field emission mold cathode group arranged in the shape of [of a M line N train (however, M and N two or more integers)] a matrix and its field emission mold cathode group carries out luminosity While low-battery-izing of the driver voltage for making an electron emit alternatively for every pixel from a field emission mold cathode group and reduction-izing of power consumption are possible, it is going to propose the possible flat-surface mold display of high-speed operation.

[0016]

[Means for Solving the Problem] The flat-surface mold display by the 1st this invention Two or more field emission mold cathodes, The high voltage electrode which gives the heavy current community which forms in the front face of two or more of the field emission mold cathodes the shot key barrier which can make possible the electron emission from two or more of the field emission mold cathodes fixed, It connects with two or more field emission mold cathodes, and has the two-dimensional MOS gate array which controls the existence of radiation of the electron from two or more of the field emission mold cathodes, and the fluorescent substance layer in which the impact of the electron alternatively emitted from two or more field emission mold cathodes carries out luminosity.

[0017] According to this 1st this invention, the heavy current community which forms in the front face of two or more field emission mold cathodes the shot key barrier which can make possible the electron emission from two or more of the field emission mold cathodes with a high voltage electrode is given fixed, the existence of radiation of the electron from two or more field emission mold cathodes is controlled by the two-dimensional MOS gate array, and the luminosity of the fluorescent substance layer is carried out by the impact of the electron alternatively emitted from two or more field emission mold cathodes.

[0018]

[Embodiment of the Invention] The high voltage electrode with which the 1st this invention gives the heavy current community where the shot key barrier which can make possible the electron emission from two or more of the field emission mold cathodes is formed in the front face of two or more field emission mold cathodes and two or more field emission mold cathodes of those fixed, By the impact of the two-dimensional MOS gate array which is connected to two or more field emission mold cathodes, and controls the existence of radiation of the electron from two or more of the field emission mold cathodes, and the electron alternatively emitted from two or more field emission mold cathodes It is the flat-surface mold display which has the fluorescent substance layer which carries out luminosity.

[0019] The pixel which consists of a field emission mold cathode of the m line n train (however, m and n one or more integers) allotted in the shape of a matrix the 2nd this invention The field emission mold cathode group arranged in the shape of [of a M line

N train (however, M and N two or more integers)] a matrix, The high voltage electrode which gives the heavy current community which forms the shot key barrier which can make possible the electron emission from each of that field emission mold cathode in the front face of each field emission mold cathode which constitutes the field emission mold cathode group fixed, The two-dimensional MOS gate array which consists of the MOS gate where each field emission mold cathode which constitutes a field emission mold cathode group was connected to the drain at each **, respectively, The scan driving means which impresses the pulse voltage which turns ON each of that MOS gate at the gate of each MOS gate connected to each field emission mold cathode of the pixel of M lines to a sequential circulation target for every line of M lines, Synchronizing with the pulse voltage generated from the scan driving means, in the source of each MOS gate connected to each field emission mold cathode of the pixel of N train, to coincidence It is the flat-surface mold display which has the image data driving means which impresses a low battery alternatively for every train of N train, and the fluorescent substance layer in which the impact of the electron alternatively emitted from a field emission mold cathode for every pixel carries out luminosity according to the image which it is going to display.

[0020] The 3rd this invention is a flat-surface mold display whose high voltage electrode is an anode electrode with which the fluorescent substance layer was formed in the flat-surface mold display of the 1st this invention.

[0021] the 4th this invention is the flat-surface mold [which it pulls out and is an electrode] display which the high voltage electrode approached two or more field emission mold cathodes, and was come out of and formed in the flat-surface mold display of the 1st this invention.

[0022] The 5th this invention In the flat-surface mold display of the 1st this invention, it is the flat-surface mold display which prepared the screening electrode near two or more field emission mold cathodes.

[0023] the low battery and abbreviation by which the 6th this invention is alternatively impressed to a screening electrode in the flat-surface mold display of the 5th this invention at two or more field emission mold cathodes -- it is the flat-surface mold display with which it is equal with a display or the electrical potential difference lower than the low battery was made to be impressed.

[0024] the low battery and abbreviation by which the 7th this invention is alternatively impressed to a screening electrode in the flat-surface mold display of the 5th this invention at two or more field emission mold cathodes when the MOS gate is OFF at least -- it is equal or is the flat-surface mold display carried out as [impress / an electrical potential difference lower than the low battery].

[0025] The 8th this invention is a flat-surface mold display whose high voltage electrode is an anode electrode with which the fluorescent substance layer was formed in the flat-surface mold display of the 2nd this invention.

[0026] the 9th this invention is the flat-surface mold [which it pulls out and is an electrode] display which the high voltage electrode approached the field emission mold cathode group, came out, and was formed in the flat-surface mold display of the 2nd this invention.

[0027] The 10th this invention is the flat-surface mold display which prepared the screening electrode near the field emission mold cathode group in the flat-surface mold display of the 2nd this invention.

[0028] the low battery and abbreviation by which the 11th this invention is alternatively impressed to a screening electrode in the flat-surface mold display of the 10th this invention at two or more field emission mold cathodes -- it is the flat-surface mold display with which it is equal with a display or the electrical potential difference lower than the low battery was made to be impressed.

[0029] the low battery and abbreviation by which the 12th this invention is impressed to a screening electrode in the flat-surface mold display of the 10th this invention at selection at the field emission mold cathode of a field emission mold cathode group when the MOS gate is OFF at least -- it is equal or is the flat-surface mold display carried out as [impress / an electrical potential difference lower than the low battery].

[0030] [Example of the gestalt of implementation of invention] Next, with reference to drawing 1 - drawing 7 , the flat-surface mold display of the example 1 of the gestalt of operation of this invention is explained. First, with reference to drawing 2 which shows the electrode of the cross section on drawing 1 and its alpha-alpha ' line, A is an anode electrode, this is countered and cathode group K' is prepared. Covering formation of the fluorescent substance layer P is carried out on the top face (an inferior surface of tongue is also good) of the anode electrode A. When spacing between the tips of each cathode (field emission cathode) K which constitutes the anode electrode A and cathode group K' is set to 0.5mm, the direct current voltage (fixed electrical potential difference) of 3kV is impressed to the anode electrode A, a heavy current community is given to all the cathodes K that constitute cathode group K', and the shot key barrier of all the cathodes K is made low so that electron emission may become possible. And the existence of emission of the electron from each cathode K is controlled by the MOS gate prepared to all the cathodes K, respectively. The set of these MOS gate is called the two-dimensional MOS gate array GA. When electronic emission is performed from Cathode K, the electron carries out the impact of the anode electrode A, and the fluorescent substance layer P of the part is made to emit light.

[0031] Cathode group K' consists of many cathodes K of for example, the conic Spindt mold by which matrix arrangement was carried out. In drawing 1 , in fact, although the 25 piece x40 piece =1000 piece cathode K is made into 1 pixel, it is made into 1 pixel here for [K] simplification of explanation and illustration (for example, a 4 piece x5

piece cathode). And the screen of one sheet is constituted by the pixel of a M line N train (however, M and N two or more integers). In addition, in drawing 4 , it is illustrating on behalf of the pixel of the 1st line and the 1st train.

[0032] Each cathode K is connected to the drain D of for example, each MOS gate [the gate which consists of an MOS (metal oxide semiconductor) field-effect transistor] MG of n channels (of course, p channels are also good) of a gate array GA as shown in drawing 4 and drawing 5 . And it connects in common through wiring W1 (drawing 3 , drawing 5), and each source of the every four trains MOS gate MG containing each pixel is connected to the data driver DD through Line R. In addition, as shown in drawing 5 , an interlayer insulation film ID is formed on wiring W1, and each cathode K stands erect on the interlayer insulation film ID.

[0033] Moreover, through beer hall (Via hole)V (drawing 5), wiring W2 (drawing 3 , drawing 5) connects in common, and each gate electrode G of the MOS gate MG of every five lines is connected to the scanning driver SD through the column line C.

[0034] In drawing 5 , the substrate of p mold with which, as for SB, the MOS gate array GA MG, i.e., much MOS gates, is formed, and IS are component isolation regions which separate each MOS gate MG. Drain (drain field) D and Source (source field) S are n+. It is the field of a mold. IN is the insulating layer (SiO₂ layer) formed in the top face of Substrate SB. Gate (gate electrode) G is formed on the insulating layer IN between Drain D and Source S.

[0035] Next, actuation of the flat-surface mold display of this example 1 is explained. The front face of all the field emission mold cathodes K that constitute cathode group K' has cost about at least 0.1v [/A] electric field with the anode electrode A. The scanning driver SD is cyclic from a top one by one toward the bottom to two or more column lines C. For example, each MOS gate MG where the pulse voltage of the peak value of 5V was impressed, and the pulse voltage of the peak value of 5V was impressed to Gate G by this will be in ON condition, and it will synchronize with this pulse voltage. Touch-down potential is given to the source of all the MOS gates MG of a pixel where zero electrical potential difference (touch-down electrical potential difference) was alternatively impressed and chosen from the data driver DD as coincidence for every pixel to each line R according to the image which it is going to display. An electron is emitted from at least one or more cathodes K of the selected pixel, the impact of the anode electrode A is carried out, and the fluorescent substance layer P of the part is made to emit light by this. At this time, by the rectification of the MOS gate (MOS transistor) MG, the discharge current between the anode electrode A and Cathode K serves as actuation in the saturation region of an electrical-potential-difference-current, and is suppressed by the fixed current. Thereby, destruction of the cathode K by the overcurrent can be prevented.

[0036] Drawing 7 shows the electronic potential energy and the characteristic curve of the shot key barrier (eV) over the distance (A) from the front face of the cathode

electrode K when changing into 0.05, 0.2, 0.5, and 1.0, 2.0 and 5.0 the field strength y (v/A) given to Cathode K. In addition, ϕ shows the work function from the vacuum level of Cathode K. In practice, although what subtracted the work function ϕ serves as shot key barrier from potential energy, since illustration and explanation are easy, the curve of potential energy and the curve of the shot key barrier are illustrated in piles here. Moreover, a work function ϕ shows the shot key barrier in case electric field are 0, and is the constant value according to the ingredient of Cathode K. There are Mg, Cu, Mo, C, Si, etc. as an ingredient of the cathode K whose work function ϕ is 3–4eV.

[0037] And the principle of the invention in this application switches whether a heavy current community where the shot key barrier becomes small is always given to Cathode K (refer to drawing 7), and touch-down potential (low voltage) is given to Cathode K by turning on and off of the MOS gate MG, and is controlling the existence of radiation of the electron from Cathode K. on the other hand, in the conventional flat-surface mold display explained with reference to drawing 15 and drawing 16 Between Gate (drawer electrode) G and Cathode K, for example, the change of whether to impress the electrical potential difference of +100V, That is, magnitude of the electric field given to Cathode K is switched, the magnitude of the shot key barrier of Cathode K is changed with smallness and size (refer to drawing 7), and the existence of radiation of the electron from Cathode K is controlled by this.

[0038] Although it was made to ground alternatively within the data driver DD in the gate array of the example 1 of drawing 4 according to the image which is going to display each line R As shown in drawing 6 , each line R is grounded through between the drains of MOS transistor (metal oxide silicon field effect transistor) Q and the sources of n channels. The pulse voltage of the peak value of 5V is impressed to the gate of MOS transistor Q connected to the line R chosen from the data driver DD, MOS transistor Q is turned ON, and you may make it ground the selected line R.

[0039] Next, with reference to drawing 9 which shows the electrode on the alpha-alpha ' line of drawing 8 and drawing 8 , the flat-surface mold display of an example 2 is explained. This example 2 is the case where replaced with the anode electrode A in an example 1, pulled out near each cathode K of cathode group K', and Electrode DR is formed. The hole h of a round shape is drilled in the part corresponding to each cathode K of the drawer electrode DR, respectively. Spacing between each cathode K and the drawer electrode DR is set as 5 micrometers, and the direct current voltage (fixed electrical potential difference) of 100V is impressed to the drawer electrode DR. And each cathode K is connected to the drain of each MOS gate MG of the two-dimensional gate array GA like drawing 3 of an example 1 – drawing 5 . Since the configuration and actuation of the two-dimensional gate array GA are the same as that of drawing 3 – drawing 5 , the duplication explanation is omitted. In addition, the drawer electrode DR is countered and the fluorescent

substance layer P is formed.

[0040] In the case of an example 2, it replaces with an anode electrode, and since the drawer electrode DR close to Cathode K was formed, as compared with the case of an example 1, the electrical potential difference of a high voltage electrode can be made low.

[0041] Next, with reference to drawing 11 which shows the electrode on the alpha-alpha ' line of drawing 10 and drawing 10 , the flat-surface mold display of an example 3 is explained. The flat-surface mold display of an example 3 is the case where the screening electrode SH common to each cathode K of cathode group K' is formed, in the flat-surface mold display of an example 1. Circular hole h' in which the tip of each cathode K projects is prepared in a screening electrode SH, for example, 0V are given to it. In addition, the distance between the tips of the anode electrode A with which the direct current voltage (fixed electrical potential difference) of 3kV is impressed, and the cathode electrode K is 0.5mm.

[0042] It seems that the potential distribution near [in the flat-surface mold display of an example 1] cathode K is shown as the equipotential line EV of drawing 5 . In this case, the tip of the cathode electrode K and distance between wiring W1 are set to 5 micrometers.

[0043] On the other hand, the potential distribution near cathode K in the case of the flat-surface mold display of an example 3 Since the high-pressure electric field from the anode electrode A are covered with a screening electrode SH so that it may be shown as the equipotential line EV of drawing 12 , the electrical potential difference impressed to the drain D of the MOS gate MG In the case of drawing 5 , even when the MOS gate MG is OFF, it amounts to about 30V, but since it falls to about 3V in the case of drawing 12 , most possibilities that the MOS gate MG may be destroyed in the case of an example 3 disappear. Although it is made indispensable because of coexistence of the high-speed operation of this seed flat-surface mold display, and a low power for the operating voltage of the MOS gate MG to be low, that operating voltage is low means the fall of withstand voltage conversely. However, in the case of an example 3, even when operating voltage uses about 5V and a low MOS transistor, it becomes possible [holding by the shielding effect of a screening electrode SH below to the withstand voltage (10-15V) in which an MOS transistor originally has the actual withstand voltage of the MOS transistor].

[0044] Next, with reference to drawing 14 which shows the electrode on the alpha-alpha ' line of drawing 13 and drawing 13 , the flat-surface mold display of an example 4 is explained. By the example 4, it is the case where the same screening electrode SH as an example 3 is formed, in the flat-surface mold display of an example 2. Other configurations and actuation are the same as that of examples 2 and 3.

[0045] In addition, also in each above-mentioned example, what was illustrated to drawing 17 mentioned above, the electron emission component of the MIM mold which

consists of a metal / an insulating layer / a metal, etc. are possible for the configuration of Cathode K.

[0046] In each above-mentioned example, although the case where a n channel mold MOS transistor was used as the MOS gate was described, a p channel mold MOS transistor can also be used.

[0047]

[Effect of the Invention] According to the 1st this invention, on the front face of two or more field emission mold cathodes and two or more of its field emission mold cathodes The high voltage electrode which gives the heavy current community which forms the shot key barrier which can make possible the electron emission from two or more of the field emission mold cathodes fixed, By the impact of the two-dimensional MOS gate array which is connected to two or more field emission mold cathodes, and controls the existence of radiation of the electron from two or more of the field emission mold cathodes, and the electron alternatively emitted from two or more field emission mold cathodes In the flat-surface mold display which has the fluorescent substance layer in which the impact of the electron emitted from the field emission mold cathode with which it was chosen of two or more field emission mold cathodes and two or more of its field emission mold cathodes since it had the fluorescent substance layer which carries out luminosity carries out luminosity While low-battery-izing of the driver voltage for making an electron emit alternatively from two or more field emission mold cathodes and reduction-izing of power consumption are possible, possible flat-surface type ***** of high-speed operation can be obtained.

[0048] The m line n train which was allotted in the shape of a matrix according to the 2nd this invention (-- however, the pixel which consists of one or more field emission mold cathodes of integer) m and n with the field emission mold cathode group arranged in the shape of [of an M line N train (however, M and N two or more integers)] a matrix The high voltage electrode which gives the heavy current community which forms the shot key barrier which can make possible the electron emission from each of that field emission mold cathode in the front face of each field emission mold cathode which constitutes the field emission mold cathode group fixed, The two-dimensional MOS gate array which consists of the MOS gate where each field emission mold cathode which constitutes a field emission mold cathode group was connected to the drain at each **, respectively, The scan driving means which impresses the pulse voltage which turns ON each of that MOS gate at the gate of each MOS gate connected to each field emission mold cathode of the pixel of M lines to a sequential circulation target for every line of M lines, Synchronizing with the pulse voltage generated from the scan driving means, in the source of each MOS gate connected to each field emission mold cathode of the pixel of N train, to coincidence Since it has the image data driving means which impresses a low battery alternatively

for every train of N train according to the image which it is going to display, and the fluorescent substance layer in which the impact of the electron alternatively emitted from a field emission mold cathode for every pixel carries out luminosity The pixel which consists of a field emission mold cathode of the m line n train (however, m and n one or more integers) allotted in the shape of a matrix In the flat-surface mold display which has the fluorescent substance layer in which the impact of the electron emitted from the field emission mold cathode for every pixel of the field emission mold cathode group arranged in the shape of [of a M line N train (however, M and N two or more integers)] a matrix and its field emission mold cathode group carries out luminosity While low-battery-izing of the driver voltage for making an electron emit alternatively for every pixel from a field emission mold cathode group and reduction-izing of power consumption are possible, the possible flat-surface mold display of high-speed operation can be obtained.

[0049] According to the 3rd this invention, in the flat-surface mold display of the 1st this invention, since a high voltage electrode is an anode electrode with which the fluorescent substance layer was formed, in addition to the effectiveness of the 1st this invention, it can obtain the easy flat-surface mold display of a configuration.

[0050] according to the 4th this invention, in the flat-surface mold display of the 1st this invention, the high voltage electrode approached two or more field emission mold cathodes, and was come out of and prepared -- since it pulls out and is an electrode -- the effectiveness of the 1st this invention -- in addition, the flat-surface mold display which can make low the electrical potential difference of a high voltage electrode can be obtained.

[0051] According to the 5th this invention, in the flat-surface mold display of the 1st this invention, since the screening electrode was prepared near two or more field emission mold cathodes, in addition to the effectiveness of the 1st this invention, there is no possibility that high pressure may be impressed to the MOS gate, and the flat-surface mold display which can prevent destruction of the MOS gate for this reason can be obtained.

[0052] the low battery which is alternatively impressed to a screening electrode in the flat-surface mold display of the 5th this invention at two or more field emission mold cathodes according to the 6th this invention, and abbreviation -- since it is equal or the electrical potential difference lower than the low battery was made to be impressed, the flat-surface mold display with which the same effectiveness as the 5th this invention is acquired can be obtained.

[0053] the low battery which according to the 7th this invention is alternatively impressed to a screening electrode in the flat-surface mold display of the 5th this invention at two or more field emission mold cathodes when the MOS gate is OFF at least, and abbreviation -- since it is equal or the electrical potential difference lower than the low battery was made to be impressed, the flat-surface mold display with

which the same effectiveness as the 5th this invention is acquired can be obtained.

[0054] According to the 8th this invention, in the flat-surface mold display of the 2nd this invention, since a high voltage electrode is an anode electrode with which the fluorescent substance layer was formed, in addition to the effectiveness of the 2nd this invention, it can obtain the easy flat-surface mold display of a configuration.

[0055] according to the 9th this invention, in the flat-surface mold display of the 2nd this invention, the high voltage electrode approached the field emission mold cathode group, and was come out of and prepared in it -- since it pulls out and is an electrode -- the effectiveness of the 2nd this invention -- in addition, the flat-surface mold display which can make low the electrical potential difference of a high voltage electrode can be obtained.

[0056] According to the 10th this invention, in the flat-surface mold display of the 2nd this invention, since the screening electrode was prepared near the field emission mold cathode group, in addition to the effectiveness of the 2nd this invention, there is no possibility that high pressure may be impressed to the MOS gate, and the flat-surface mold display which can prevent destruction of the MOS gate for this reason can be obtained.

[0057] the low battery which is alternatively impressed to a screening electrode in the flat-surface mold display of the 10th this invention at two or more field emission mold cathodes according to the 11th this invention, and abbreviation -- since it is equal or the electrical potential difference lower than the low battery was made to be impressed, the flat-surface mold display with which the same effectiveness as the 10th this invention is acquired can be obtained.

[0058] the low battery which according to the 12th this invention is impressed to a screening electrode in the flat-surface mold display of the 10th this invention at selection at the field emission mold cathode of a field emission mold cathode group when the MOS gate is OFF at least, and abbreviation -- it is equal, or since it carried out as [impress / an electrical potential difference lower than the low battery], the flat-surface mold display with which the same effectiveness as the 10th this invention is acquired can be obtained.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing the flat-surface mold indicating equipment of the example 1 of the gestalt of operation of this invention.

[Drawing 2] It is a sectional view on the alpha-alpha ' line of drawing 1 which shows the electrode of an example 1.

[Drawing 3] It is the block diagram showing the gate array of an example 1.

[Drawing 4] It is the block diagram showing the detail of the gate array of an example 1.

[Drawing 5] It is the sectional view showing the structure near the MOS gate of an example 1, and the potential distribution near a cathode.

[Drawing 6] It is the block diagram showing the detail of the modification of the gate array of an example 1.

[Drawing 7] It is the characteristic curve sheet showing the electric-field dependency of electronic potential energy and the shot key barrier.

[Drawing 8] It is the block diagram showing the flat-surface mold indicating equipment of the example 2 of the gestalt of operation of this invention.

[Drawing 9] It is a sectional view on the alpha-alpha ' line of drawing 2 which shows the electrode of an example 2.

[Drawing 10] It is the block diagram showing the flat-surface mold indicating equipment of the example 3 of the gestalt of operation of this invention.

[Drawing 11] It is a sectional view on the alpha-alpha ' line of drawing 3 which shows the electrode of an example 3.

[Drawing 12] It is the sectional view showing the structure near the MOS gate of an example 3, and the potential distribution near a cathode.

[Drawing 13] It is the block diagram showing the flat-surface mold indicating equipment of the example 4 of the gestalt of operation of this invention.

[Drawing 14] It is a sectional view on the alpha-alpha ' line of drawing 3 which shows the electrode of an example 4.

[Drawing 15] It is the block diagram showing the conventional flat-surface mold indicating equipment.

[Drawing 16] They are some sectional views of the conventional flat-surface mold display.

[Drawing 17] It is the top view and sectional view showing the example of the field emission mold cathode of the conventional flat-surface mold display.

[Description of Notations]

A An anode electrode, P A fluorescent substance layer, K' A cathode group, K A field emission mold cathode, DR A drawer electrode, SH A screening electrode, GA A two-dimensional gate array, MG The MOS gate, SD A scanning driver, DD Data driver.

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2000-182547
(P2000-182547A)

(43)公開日 平成12年6月30日(2000.6.30)

(51)Int.Cl. ⁷	識別記号	F I	テ-マ-コード(参考)
H 0 1 J 31/12		H 0 1 J 31/12	C 5 C 0 3 1
G 0 9 G 3/22		G 0 9 G 3/22	E 5 C 0 3 6
3/30	3 0 1	3/30	3 0 1 5 C 0 8 0
H 0 1 J 29/04		H 0 1 J 29/04	

審査請求 未請求 請求項の数12 O L (全 11 頁)

(21)出願番号 特願平10-357935

(22)出願日 平成10年12月16日(1998.12.16)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 小西 守一

東京都品川区北品川6丁目7番35号 ソニ

一株式会 社内

(74)代理人 100080883

弁理士 松隈 秀盛

Fターム(参考) 5C031 DD09 DD17 DD20

5C036 EE03 EE16 EF01 EF06 EF09

EG48 EH04

5C080 AA08 BB05 CC03 DD08 DD26

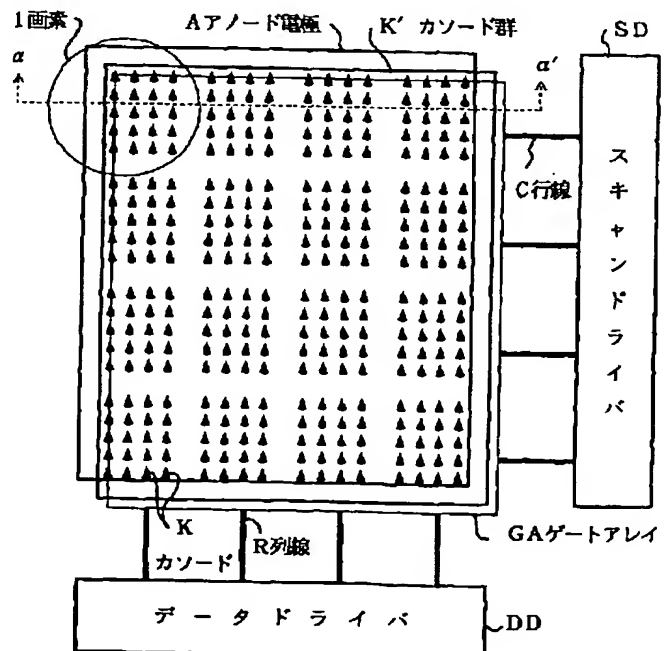
EE32 FF10 GG08 KK02 KK43

(54)【発明の名称】 平面型表示装置

(57)【要約】

【課題】 複数の電界放出型カソード及びその複数のカソードのうちの選択されたカソードから放出された電子の衝撃によって光輝せしめられる蛍光体層を有する平面型表示装置において、複数のカソードから選択的に電子を放出させるための駆動電圧の低圧化及び消費電力の低減化が可能であると共に、高速動作の可能な平面型表示装置を得る。

【解決手段】 複数の電界放出型カソードKと、その複数のカソードKの表面に、その複数のカソードKからの電子放射を可能にし得るショットキーバリアを形成する強電界を固定的に与える高圧電極と、複数のカソードKに接続され、その複数のカソードKからの電子の放射の有無を制御する2次元MOSゲートアレイと、複数のカソードKから選択的に放出された電子の衝撃によって、光輝せしめられる蛍光体層Pとを有する。



具体例1の平面型表示装置

【特許請求の範囲】

【請求項 1】 複数の電界放出型カソードと、
該複数の電界放出型カソードの表面に、該複数の電界放出型カソードからの電子放射を可能にし得るショットキーバリアを形成する強電界を固定的に与える高压電極と、
上記複数の電界放出型カソードに接続され、該複数の電界放出型カソードからの電子の放射の有無を制御する 2 次元 MOS ゲートアレイと、
上記複数の電界放出型カソードから選択的に放出された電子の衝撃によって、光輝せしめられる蛍光体層とを有することを特徴とする平面型表示装置。

【請求項 2】 マトリックス状に配された m 行 n 列（但し、m、n は 1 以上の整数）の電界放出型カソードからなる画素が、M 行 N 列（但し、M、N は 2 以上の整数）のマトリックス状に配列された電界放出型カソード群と、
該電界放出型カソード群を構成する各電界放出型カソードの表面に、該各電界放出型カソードからの電子放射を可能にし得るショットキーバリアを形成する強電界を固定的に与える高压電極と、
上記電界放出型カソード群を構成する各電界放出型カソードがそれぞれ各別にドレインに接続された MOS ゲートからなる 2 次元 MOS ゲートアレイと、
上記 M 行の画素の各電界放出型カソードに接続されている各 MOS ゲートのゲートに、該各 MOS ゲートを ON にするパルス電圧を、上記 M 行の行毎に順次循環的に印加する走査駆動手段と、
該走査駆動手段より発生する上記パルス電圧に同期して、上記 N 列の画素の各電界放出型カソードに接続されている各 MOS ゲートのソースに同時に、表示しようとする画像に応じて、上記 N 列の列毎に選択的に低電圧を印加する画像データ駆動手段と、
上記画素毎に選択的に上記電界放出型カソードから放出される電子の衝撃によって、光輝せしめられる蛍光体層とを有することを特徴とする平面型表示装置。

【請求項 3】 請求項 1 に記載の平面型表示装置において、
上記高压電極は、上記蛍光体層が形成されたアノード電極であることを特徴とする平面型表示装置。

【請求項 4】 請求項 1 に記載の平面型表示装置において、
上記高压電極は、上記複数の電界放出型カソードに近接して設けられた引き出し電極であることを特徴とする平面型表示装置。

【請求項 5】 請求項 1 に記載の平面型表示装置において、
上記複数の電界放出型カソードの近傍に、シールド電極を設けたことを特徴とする平面型表示装置。

【請求項 6】 請求項 5 に記載の平面型表示装置において、

て、
上記シールド電極には、上記複数の電界放出型カソードに選択的に印加される低電圧と略等しいか、又は、該低電圧より低い電圧が印加されるようにしたことを特徴とする平面型表示装置。

【請求項 7】 請求項 5 に記載の平面型表示装置において、
上記シールド電極に、少なくとも上記 MOS ゲートが OFF のときに、上記複数の電界放出型カソードに選択的に印加される低電圧と略等しいか、又は、該低電圧より低い電圧が印加されるようにしたことを特徴とする平面型表示装置。

【請求項 8】 請求項 2 に記載の平面型表示装置において、
上記高压電極は、上記蛍光体層が形成されたアノード電極であることを特徴とする平面型表示装置。

【請求項 9】 請求項 2 に記載の平面型表示装置において、
上記高压電極は、上記電界放出型カソード群に近接して設けられた引き出し電極であることを特徴とする平面型表示装置。

【請求項 10】 請求項 2 に記載の平面型表示装置において、
上記電界放出型カソード群の近傍に、シールド電極を設けたことを特徴とする平面型表示装置。

【請求項 11】 請求項 10 に記載の平面型表示装置において、
上記シールド電極には、上記複数の電界放出型カソードに選択的に印加される低電圧と略等しいか、又は、該低電圧より低い電圧が印加されるようにしたことを特徴とする平面型表示装置。

【請求項 12】 請求項 10 に記載の平面型表示装置において、
上記シールド電極に、少なくとも上記 MOS ゲートが OFF のときに、上記電界放出型カソード群の電界放出型カソードに選択的に印加される低電圧と略等しいか、又は、該低電圧より低い電圧が印加されるようにしたことを特徴とする平面型表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は電界放出型カソードを備えた平面型表示装置に関する。

【0002】

【従来の技術】 以下に、図 15 及び図 16 を参照して、電界放出型カソード（エミッタ）を備えた平面型表示装置の従来例を説明する。図 15 及び図 16 において、K、K' 及び G は、XY マトリックスを構成するそれぞれ複数本の等間隔、等幅のカソード電極及びゲート電極（引き出し電極）で、絶縁層 Z を介して互いに交叉して対向する如く配されている。A は複数のゲート電極 G に対し所

定間隔を以て対向するアノード電極である。アノード電極 A の上面（下面も可）には蛍光体層 P が塗布されている。

【0003】複数のカソード電極 K K 及び複数のゲート電極 G の交叉部において、各ゲート電極 G には円形の孔 H が穿設されると共に、この孔 H に連通するキャビティ C V が絶縁層 Z 内に設けられる。このキャビティ C V 内において、カソード電極 K K 上に、円錐形状のスピント（Spindt:人名）型電界放出型カソード（エミッタ）K が植立される。電界放出型カソード K は、 $0.01\text{ V}/\text{\AA} \sim 0.1\text{ V}/\text{\AA}$ 程度の電界を選択的に与えることによって、トンネル効果により電子放出がなされる、Mo、W、Cr 等の材料から構成される。そして、カソード K の頂点が孔 H の中心に位置するように、孔 H 及びカソード K 間の位置関係が設定されている。

【0004】これらの電極 G、カソード電極 K K、カソード K、アノード電極 A、蛍光体層 P 及び絶縁層 Z は、ガラス等からなる偏平管内に収納され、偏平管内は真空となされる。

【0005】アノード電極 A には、固定電圧、例えば、 3 kV の直流電圧が印加されている。複数のゲート電極 G には、スキャンドライバ S D からの、例えば、 100 V の直流電圧が、図 15 において、上側のゲート電極 G から下側のゲート電極 G へと順次循環的に印加される。複数のカソード電極 K K には、データドライバ D D からの、画像信号に応じた 0 V （例えば、 $0\text{ V} \sim 10\text{ V}$ の電圧も可）の電圧が選択に印加される。

【0006】かくして、複数のゲート電極 G 及び複数のカソード電極 K K のうち、 100 V の直流電圧が印加されたゲート電極 G と、 0 V の電圧が印加されたカソード電極 K K の交点において、カソード K とアノード電極 A との間で電界放射（電子放射）が開始され、ゲート電極 G によってカソード K から引き出された電子が、アノード電極 A に衝撃されて、蛍光体層 P が発光する。

【0007】この平面型表示装置では、ゲート電極 G 及びカソード電極 K K の交点の、例えば、 1000 個分の集まりが 1 画素として、画像が表示される。蛍光体層 P の全体を、白色発光蛍光体層にて構成すれば、モノクローム平面型表示装置が得られ、蛍光体層 P を 1 画素毎の幅を有する赤、緑及び青発光蛍光体ストライプにて構成すれば、カラー平面型表示装置が得られる。

【0008】電界放出型カソード（エミッタ）K の例としては、図 16 に図示したもの他に、種々あるが、その一部の例を図 17 を参照して説明する。尚、図 17 A 1、B 1、C 1 はカソードの平面図、図 17 A 2、B 2、C 2 は、それぞれ図 17 A 1、B 1、C 1 のカソードの断面図である。

【0009】図 17 A 1、A 2 は一対の電極を示し、その一方がカソード、他方がゲート電極で、カソードのゲート電極と対向する端部から、図示を省略したアノード

電極に向かって電子が放出される。

【0010】図 17 B 1、B 2 は、例えば、四角形の孔を有するカソードを示し、その四角形の孔のエッジから電子が放出される。

【0011】図 17 C 1、C 2 は、円盤の上面が曲面、例えば、球面を構成するように凹んだカソードを示し、その凹みのエッジから電子が放出される。

【0012】電界放出型カソード（エミッタ）K の例としては、金属／絶縁層／金属からなる MIM 型の電子放出素子にて構成しても良い。

【0013】

【発明が解決しようとする課題】図 15 及び図 16 について説明した平面型表示装置では、放電発光の有無を、カソード（エミッタ）及びゲート電極（引き出し電極）へのそれぞれの所定電圧の印加の有無で行っていた。このため、選択された画素を構成するカソードには、強電界（例えば、 $0.05\text{ V}/\text{\AA}$ ）を画素の選択毎に印加する必要があるため、即ち、画素の選択／非選択時の電子放出の制御を電界によって行っていたために、画素の選択時の駆動電圧が高くなり、高速動作及び消費電力の点で問題があった。

【0014】かかる点に鑑み、本発明は、複数の電界放出型カソード及びその複数の電界放出型カソードのうちの選択された電界放出型カソードから放出された電子の衝撃によって光輝せしめられる蛍光体層を有する平面型表示装置において、複数の電界放出型カソードから選択的に電子を放出させるための駆動電圧の低電圧化及び消費電力の低減化が可能であると共に、高速動作の可能な平面型表示装置を提案しようとするものである。

【0015】又、本発明は、マトリックス状に配された m 行 n 列（但し、 m 、 n は 1 以上の整数）の電界放出型カソードからなる画素が、 M 行 N 列（但し、 M 、 N は 2 以上の整数）のマトリックス状に配列された電界放出型カソード群及びその電界放出型カソード群の画素毎に電界放出型カソードから放出された電子の衝撃によって光輝せしめられる蛍光体層を有する平面型表示装置において、電界放出型カソード群から画素毎に選択的に電子を放出させるための駆動電圧の低電圧化及び消費電力の低減化が可能であると共に、高速動作の可能な平面型表示装置を提案しようとするものである。

【0016】

【課題を解決するための手段】第 1 の本発明による平面型表示装置は、複数の電界放出型カソードと、その複数の電界放出型カソードの表面に、その複数の電界放出型カソードからの電子放射を可能にし得るショットキーバリアを形成する強電界を固定的に与える高圧電極と、複数の電界放出型カソードに接続され、その複数の電界放出型カソードからの電子の放射の有無を制御する 2 次元 MOS ゲートアレイと、複数の電界放出型カソードから選択的に放出された電子の衝撃によって、光輝せしめら

れる蛍光体層とを有するものである。

【0017】かかる第1の本発明によれば、高圧電極によって、複数の電界放出型カソードの表面に、その複数の電界放出型カソードからの電子放射を可能にし得るショットキーバリアを形成する強電界を固定的に与え、2次元MOSゲートアレイによって、複数の電界放出型カソードからの電子の放射の有無を制御し、複数の電界放出型カソードから選択的に放出された電子の衝撃によって、蛍光体層を光輝せしめる。

【0018】

【発明の実施の形態】第1の本発明は、複数の電界放出型カソードと、その複数の電界放出型カソードの表面に、その複数の電界放出型カソードからの電子放射を可能にし得るショットキーバリアを形成する強電界を固定的に与える高圧電極と、複数の電界放出型カソードに接続され、その複数の電界放出型カソードからの電子の放射の有無を制御する2次元MOSゲートアレイと、複数の電界放出型カソードから選択的に放出された電子の衝撃によって、光輝せしめられる蛍光体層とを有する平面型表示装置である。

【0019】第2の本発明は、マトリックス状に配された m 行 n 列（但し、 m 、 n は1以上の整数）の電界放出型カソードからなる画素が、 M 行 N 列（但し、 M 、 N は2以上の整数）のマトリックス状に配列された電界放出型カソード群と、その電界放出型カソード群を構成する各電界放出型カソードの表面に、その各電界放出型カソードからの電子放射を可能にし得るショットキーバリアを形成する強電界を固定的に与える高圧電極と、電界放出型カソード群を構成する各電界放出型カソードがそれぞれ各別にドレインに接続されたMOSゲートからなる2次元MOSゲートアレイと、 M 行の画素の各電界放出型カソードに接続されている各MOSゲートのゲートに、その各MOSゲートをONにするパルス電圧を、 M 行の行毎に順次循環的に印加する走査駆動手段と、その走査駆動手段より発生するパルス電圧に同期して、 N 列の画素の各電界放出型カソードに接続されている各MOSゲートのソースに同時に、表示しようとする画像に応じて、 N 列の列毎に選択的に低電圧を印加する画像データ駆動手段と、画素毎に選択的に電界放出型カソードから放出される電子の衝撃によって、光輝せしめられる蛍光体層とを有する平面型表示装置である。

【0020】第3の本発明は、第1の本発明の平面型表示装置において、高圧電極は、蛍光体層が形成されたアノード電極である平面型表示装置である。

【0021】第4の本発明は、第1の本発明の平面型表示装置において、高圧電極は、複数の電界放出型カソードに近接して設けられた引き出し電極である平面型表示装置である。

【0022】第5の本発明は、第1の本発明の平面型表示装置において、複数の電界放出型カソードの近傍

に、シールド電極を設けた平面型表示装置である。

【0023】第6の本発明は、第5の本発明の平面型表示装置において、シールド電極には、複数の電界放出型カソードに選択的に印加される低電圧と略等しいか、又は、その低電圧より低い電圧が印加されるようにした平面型表示装置である。

【0024】第7の本発明は、第5の本発明の平面型表示装置において、シールド電極に、少なくともMOSゲートがOFFのときに、複数の電界放出型カソードに選択的に印加される低電圧と略等しいか、又は、その低電圧より低い電圧が印加されるようにした平面型表示装置である。

【0025】第8の本発明は、第2の本発明の平面型表示装置において、高圧電極は、蛍光体層が形成されたアノード電極である平面型表示装置である。

【0026】第9の本発明は、第2の本発明の平面型表示装置において、高圧電極は、電界放出型カソード群に近接して設けられた引き出し電極である平面型表示装置である。

【0027】第10の本発明は、第2の本発明の平面型表示装置において、電界放出型カソード群の近傍に、シールド電極を設けた平面型表示装置である。

【0028】第11の本発明は、第10の本発明の平面型表示装置において、シールド電極には、複数の電界放出型カソードに選択的に印加される低電圧と略等しいか、又は、その低電圧より低い電圧が印加されるようにした平面型表示装置である。

【0029】第12の本発明は、第10の本発明の平面型表示装置において、シールド電極に、少なくともMOSゲートがOFFのときに、電界放出型カソード群の電界放出型カソードに選択的に印加される低電圧と略等しいか、又は、その低電圧より低い電圧が印加されるようにした平面型表示装置である。

【0030】〔発明の実施の形態の具体例〕次に、図1～図7を参照して、本発明の実施の形態の具体例1の平面型表示装置を説明する。先ず、図1及びその $\alpha-\alpha'$ 線上の断面の電極を示す図2を参照するに、Aはアノード電極で、これに対向して、カソード群 K' が設けられる。アノード電極Aの上面（下面も可）には蛍光体層Pが被着形成されている。アノード電極A及びカソード群 K' を構成する各カソード（電界放出カソード）Kの先端との間の間隔を、例えば、0.5mmとしたとき、アノード電極Aに3kVの直流電圧（固定電圧）を印加して、カソード群 K' を構成する全カソードKに対して強電界を与えて、全カソードKのショットキーバリアを、電子放射が可能となるように低くしておく。そして、全カソードKに対しそれぞれ設けられたMOSゲートによって、各カソードKからの電子の放出の有無を制御する。これらMOSゲートの集合を、2次元MOSゲートアレイGAと称する。カソードKから電子の放出が行わ

れると、その電子がアノード電極Aを衝撃し、その部分の蛍光体層Pが発光せしめられる。

【0031】カソード群K'は、例えば、マトリックス配置された、例えば、円錐状のスピント型の多数のカソードKから構成される。図1では、実際には、例えば、25個×40個=1000個のカソードKを1画素とするが、ここでは、説明及び図示の簡単化のため、例えば、4個×5個のカソードKを1画素とする。そして、M行N列（但し、M、Nは2以上の整数）の画素によって1枚の画面が構成される。尚、図4では、第1行、第1列の画素を代表して図示している。

【0032】各カソードKは、図4及び図5に示すように、ゲートアレイGAの、例えば、nチャンネル（勿論pチャンネルも可）の各MOSゲート（MOS（金属酸化膜半導体）電界効果トランジスタからなるゲート）MGのドレインDに接続される。そして、各画素を含む4列ずつのMOSゲートMGの各ソースが配線W1（図3、図5）を通じて共通に接続されて、列線Rを通じてデータドライバDDに接続される。尚、図5に示す如く、配線W1上には層間絶縁膜IDが形成され、その層間絶縁膜ID上に各カソードKが植立されている。

【0033】又、5行ずつのMOSゲートMGの各ゲート電極Gがビアホール（Via hole）V（図5）を介して、配線W2（図3、図5）によって共通に接続されて、行線Cを通じてスキンドライバSDに接続されている。

【0034】図5において、SBは、MOSゲートアレイGA、即ち、多数のMOSゲートMGが形成されているp型の基板、ISは、各MOSゲートMGを分離する素子分離領域である。ドレイン（ドレイン領域）D及びソース（ソース領域）Sは、n+型の領域である。INは基板SBの上面に形成された絶縁層（SiO₂層）である。ゲート（ゲート電極）Gは、ドレインD及びソースS間の絶縁層IN上に形成されている。

【0035】次に、この具体例1の平面型表示装置の動作を説明する。カソード群K'を構成する全電界放射型カソードKの表面には、アノード電極Aによって、例えば、最低0.1V/Å程度の電界が掛かっている。スキンドライバSDは、複数の行線Cに対し上から下に向かって順次循環的、例えば、5Vの波高値のパルス電圧を印加し、これによって5Vの波高値のパルス電圧がゲートGに印加された各MOSゲートMGはON状態になり、このパルス電圧に同期して、データドライバDDから、各列線Rに対し、表示しようとする画像に応じて、同時に画素毎に選択的に0電圧（接地電圧）が印加されて、選択された画素の全MOSゲートMGのソースに接地電位が与えられる。これによって、その選択された画素の少なくとも1個以上のカソードKから電子が放出されて、アノード電極Aを衝撃し、その部分の蛍光体層Pが発光せしめられる。このとき、アノード電極A及びカ

ソードK間の放電電流は、MOSゲート（MOSトランジスタ）MGの整流作用によって、電圧-電流の飽和領域での動作となり、一定電流に抑えられる。これにより、過電流によるカソードKの破壊を防止することができる。

【0036】図7は、カソードKに与える電界強度 y （V/Å）を0.05、0.2、0.5、1.0、2.0、5.0に変えたときの、カソード電極Kの表面からの距離（Å）に対する電子のポテンシャルエネルギーとショットキーバリア（eV）の特性曲線を示す。尚、 ϕ はカソードKの、バキュームレベルからの仕事関数を示す。実際は、ポテンシャルエネルギーから仕事関数 ϕ を引いたものが、ショットキーバリアとなるが、ここでは、図示及び説明の簡単のため、ポテンシャルエネルギーの曲線及びショットキーバリアの曲線を重ねて図示している。又、仕事関数 ϕ は電界が0のときのショットキーバリアを示し、カソードKの材料に応じた一定値である。仕事関数 ϕ が3~4eVのカソードKの材料としては、Mg、Cu、Mo、C、Si等がある。

【0037】そして、本願発明の原理は、カソードKに対し、そのショットキーバリアが小さくなるような強電界を常時与えておき（図7参照）、カソードKに接地電位（低電位）を与えるか否かをMOSゲートMGのオンオフで切換えて、カソードKからの電子の放射の有無を制御している。これに対し、図15及び図16を参照して説明した従来の平面型表示装置では、ゲート（引き出し電極）G及びカソードK間に、例えば、+100Vの電圧を印加するか否かの切換え、即ち、カソードKに与える電界の大きさの切換えを行って、カソードKのショットキーバリアの大きさを小、大と変化させ（図7参照）、これによって、カソードKからの電子の放射の有無を制御している。

【0038】図4の具体例1のゲートアレイでは、各列線Rを表示しようとする画像に応じて、データドライバDD内で選択的に接地するようにしたが、図6に示す如く、各列線Rを、例えば、nチャンネルのMOSトランジスタ（MOS電界効果トランジスタ）Qのドレイン及びソース間を通じて接地し、データドライバDDから選択された列線Rに接続されたMOSトランジスタQのゲートに、例えば、5Vの波高値のパルス電圧を印加して、MOSトランジスタQをONにして、選択された列線Rを接地するようにしても良い。

【0039】次に、図8及び図8の $\alpha-\alpha'$ 線上の電極を示す図9を参照して、具体例2の平面型表示装置を説明する。この具体例2は、具体例1におけるアノード電極Aに代えて、カソード群K'の各カソードKの近傍に引き出し電極DRを設けた場合である。引き出し電極DRの各カソードKに対応する部分には、それぞれ円形の孔hを穿設する。各カソードKと、引き出し電極DRとの間の間隔を、例えば、5 μ mに設定し、引き出し電極

DRに、例えば、100Vの直流電圧（固定電圧）を印加する。そして、各カソードKを、具体例1の図3～図5と同様に、2次元ゲートアレイGAの各MOSゲートMGのドレインに接続する。2次元ゲートアレイGAの構成及び動作は、図3～図5と同様であるので、その重複説明を省略する。尚、蛍光体層Pを、引き出し電極DRに対向して設ける。

【0040】具体例2の場合は、アノード電極に代えて、カソードKに近接した引き出し電極DRを設けたので、具体例1の場合と比較して高圧電極の電圧を低くすることができる。

【0041】次に、図10及び図10の $\alpha-\alpha'$ 線上の電極を示す図11を参照して、具体例3の平面型表示装置を説明する。具体例3の平面型表示装置は、具体例1の平面型表示装置において、カソード群K'の各カソードKに共通のシールド電極SHを設けた場合である。シールド電極SHには、各カソードKの先端が突出する円形の孔h'が設けられ、例えば、0Vが与えられる。尚、3kVの直流電圧（固定電圧）が印加されるアノード電極Aと、カソード電極Kの先端との間の距離は、例えば、0.5mmである。

【0042】具体例1の平面型表示装置におけるカソードK付近の電位分布は、図5の等電位線EVとして示す如くである。この場合、カソード電極Kの先端と、配線W1との間の距離は、例えば、5 μ mとする。

【0043】これに対し、具体例3の平面型表示装置の場合のカソードK付近の電位分布は、図12の等電位線EVとして示すように、アノード電極Aからの高圧電界が、シールド電極SHによって遮蔽されるので、MOSゲートMGのドレインDに印加される電圧は、図5の場合は、MOSゲートMGがOFFのときでも、30V程度に及ぶが、図12の場合は、3V程度に低下するので、具体例3の場合は、MOSゲートMGが破壊されるおそれは殆どなくなる。MOSゲートMGの動作電圧が低いことが、この種平面型表示装置の高速動作及び低消費電力の両立のために必須とされるが、動作電圧が低いということは逆に絶縁耐压の低下を意味する。しかし、具体例3の場合は、動作電圧が5V程度と低いMOSトランジスタを使用したときでも、シールド電極SHのシールド効果によって、そのMOSトランジスタの実際の絶縁耐压を、本来MOSトランジスタが持つ絶縁耐压（10～15V）以下に保持することが可能となる。

【0044】次に、図13及び図13の $\alpha-\alpha'$ 線上の電極を示す図14を参照して、具体例4の平面型表示装置を説明する。具体例4では、具体例2の平面型表示装置において、具体例3と同様のシールド電極SHを設けた場合である。その他の構成及び動作は、具体例2及び3と同様である。

【0045】尚、上述の各具体例においても、カソードKの形状は、上述した図17に図示したものや、金属／

絶縁層／金属からなるMIM型の電子放出素子等も可能である。

【0046】上述の各具体例においては、MOSゲートとしてnチャンネル型MOSトランジスタを用いた場合について述べたが、pチャンネル型MOSトランジスタを使用することもできる。

【0047】

【発明の効果】第1の本発明によれば、複数の電界放出型カソードと、その複数の電界放出型カソードの表面に、その複数の電界放出型カソードからの電子放射を可能にし得るショットキーバリアを形成する強電界を固定的に与える高圧電極と、複数の電界放出型カソードに接続され、その複数の電界放出型カソードからの電子の放射の有無を制御する2次元MOSゲートアレイと、複数の電界放出型カソードから選択的に放出された電子の衝撃によって、光輝せしめられる蛍光体層とを有するので、複数の電界放出型カソード及びその複数の電界放出型カソードのうちの選択された電界放出型カソードから放出された電子の衝撃によって光輝せしめられる蛍光体層を有する平面型表示装置において、複数の電界放出型カソードから選択的に電子を放出させるための駆動電圧の低電圧化及び消費電力の低減化が可能であると共に、高速動作の可能な平面型表示装置を得ることができる。

【0048】第2の本発明によれば、マトリックス状に配されたm行n列（但し、m、nは1以上の整数）の電界放出型カソードからなる画素が、M行N列（但し、M、Nは2以上の整数）のマトリックス状に配列された電界放出型カソード群と、その電界放出型カソード群を構成する各電界放出型カソードの表面に、その各電界放出型カソードからの電子放射を可能にし得るショットキーバリアを形成する強電界を固定的に与える高圧電極と、電界放出型カソード群を構成する各電界放出型カソードがそれぞれ各別にドレインに接続されたMOSゲートからなる2次元MOSゲートアレイと、M行の画素の各電界放出型カソードに接続されている各MOSゲートのゲートに、その各MOSゲートをONにするパルス電圧を、M行の行毎に順次循環的に印加する走査駆動手段と、その走査駆動手段より発生するパルス電圧に同期して、N列の画素の各電界放出型カソードに接続されている各MOSゲートのソースに同時に、表示しようとする画像に応じて、N列の列毎に選択的に低電圧を印加する画像データ駆動手段と、画素毎に選択的に電界放出型カソードから放出される電子の衝撃によって、光輝せしめられる蛍光体層とを有するので、マトリックス状に配されたm行n列（但し、m、nは1以上の整数）の電界放出型カソードからなる画素が、M行N列（但し、M、Nは2以上の整数）のマトリックス状に配列された電界放出型カソード群及びその電界放出型カソード群の画素毎に電界放出型カソードから放出された電子の衝撃によ

て光輝せしめられる蛍光体層を有する平面型表示装置において、電界放出型カソード群から画素毎に選択的に電子を放出させるための駆動電圧の低電圧化及び消費電力の低減化が可能であると共に、高速動作の可能な平面型表示装置を得ることができる。

【0049】第3の本発明によれば、第1の本発明の平面型表示装置において、高圧電極は、蛍光体層が形成されたアノード電極であるので、第1の本発明の効果に加えて、構成の簡単な平面型表示装置を得ることができる。

【0050】第4の本発明によれば、第1の本発明の平面型表示装置において、高圧電極は、複数の電界放出型カソードに近接して設けられた引き出し電極であるので、第1の本発明の効果に加えて、高圧電極の電圧を低くすることのできる平面型表示装置を得ることができる。

【0051】第5の本発明によれば、第1の本発明の平面型表示装置において、複数の電界放出型カソードの近傍に、シールド電極を設けたので、第1の本発明の効果に加えて、MOSゲートに高圧が印加されるおそれがなく、このためMOSゲートの破壊を防止することのできる平面型表示装置を得ることができる。

【0052】第6の本発明によれば、第5の本発明の平面型表示装置において、シールド電極には、複数の電界放出型カソードに選択的に印加される低電圧と略等しいか、又は、その低電圧より低い電圧が印加されるようにしたので、第5の本発明と同様の効果の得られる平面型表示装置を得ることができる。

【0053】第7の本発明によれば、第5の本発明の平面型表示装置において、シールド電極に、少なくともMOSゲートがOFFのときに、複数の電界放出型カソードに選択的に印加される低電圧と略等しいか、又は、その低電圧より低い電圧が印加されるようにしたので、第5の本発明と同様の効果の得られる平面型表示装置を得ることができる。

【0054】第8の本発明によれば、第2の本発明の平面型表示装置において、高圧電極は、蛍光体層が形成されたアノード電極であるので、第2の本発明の効果に加えて、構成の簡単な平面型表示装置を得ることができる。

【0055】第9の本発明によれば、第2の本発明の平面型表示装置において、高圧電極は、電界放出型カソード群に近接して設けられた引き出し電極であるので、第2の本発明の効果に加えて、高圧電極の電圧を低くすることのできる平面型表示装置を得ることができる。

【0056】第10の本発明によれば、第2の本発明の平面型表示装置において、電界放出型カソード群の近傍に、シールド電極を設けたので、第2の本発明の効果に加えて、MOSゲートに高圧が印加されるおそれがなく、このためMOSゲートの破壊を防止することのできる

平面型表示装置を得ることができる。

【0057】第11の本発明によれば、第10の本発明の平面型表示装置において、シールド電極には、複数の電界放出型カソードに選択的に印加される低電圧と略等しいか、又は、その低電圧より低い電圧が印加されるようにしたので、第10の本発明と同様の効果の得られる平面型表示装置を得ることができる。

【0058】第12の本発明によれば、第10の本発明の平面型表示装置において、シールド電極に、少なくともMOSゲートがOFFのときに、電界放出型カソード群の電界放出型カソードに選択的に印加される低電圧と略等しいか、又は、その低電圧より低い電圧が印加されるようにしたので、第10の本発明と同様の効果の得られる平面型表示装置を得ることができる。

【図面の簡単な説明】

【図1】本発明の実施の形態の具体例1の平面型表示装置を示すブロック線図である。

【図2】具体例1の電極を示す図1の $\alpha - \alpha'$ 線上の断面図である。

【図3】具体例1のゲートアレイを示すブロック線図である。

【図4】具体例1のゲートアレイの詳細を示すブロック線図である。

【図5】具体例1のMOSゲート付近の構造及びカソード付近の電位分布を示す断面図である。

【図6】具体例1のゲートアレイの変形例の詳細を示すブロック線図である。

【図7】電子のポテンシャルエネルギーとショットキーバリアの電界依存性を示す特性曲線図である。

【図8】本発明の実施の形態の具体例2の平面型表示装置を示すブロック線図である。

【図9】具体例2の電極を示す図2の $\alpha - \alpha'$ 線上の断面図である。

【図10】本発明の実施の形態の具体例3の平面型表示装置を示すブロック線図である。

【図11】具体例3の電極を示す図3の $\alpha - \alpha'$ 線上の断面図である。

【図12】具体例3のMOSゲート付近の構造及びカソード付近の電位分布を示す断面図である。

【図13】本発明の実施の形態の具体例4の平面型表示装置を示すブロック線図である。

【図14】具体例4の電極を示す図3の $\alpha - \alpha'$ 線上の断面図である。

【図15】従来の平面型表示装置を示すブロック線図である。

【図16】従来の平面型表示装置の一部の断面図である。

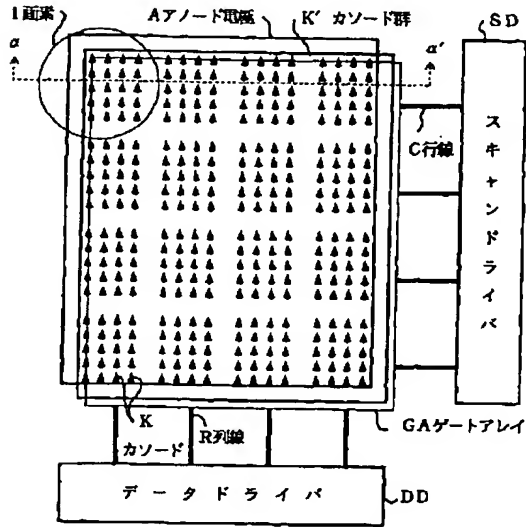
【図17】従来の平面型表示装置の電界放出型カソードの例を示す平面図及び断面図である。

【符号の説明】

A アノード電極、P 蛍光体層、K' カソード群、
K 電界放出型カソード、DR 引き出し電極、SH
シールド電極、GA 2次元ゲートアレイ、MG MO

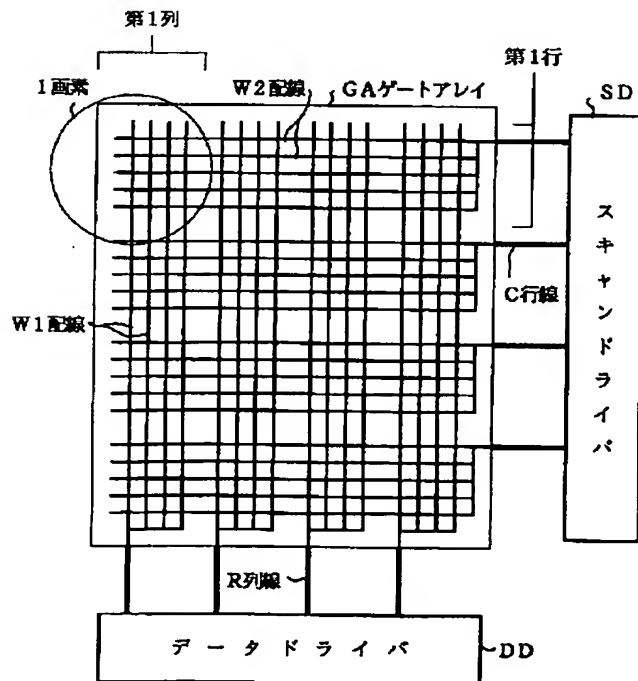
Sゲート、SD スキャンドライバ、DD データドライバ。

【図1】



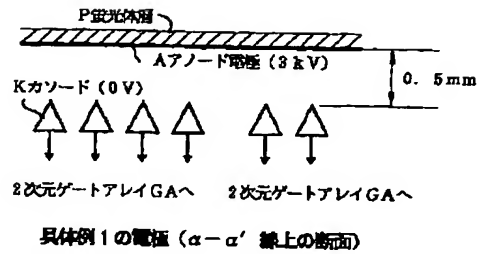
具体例1の平面型表示装置

【図3】

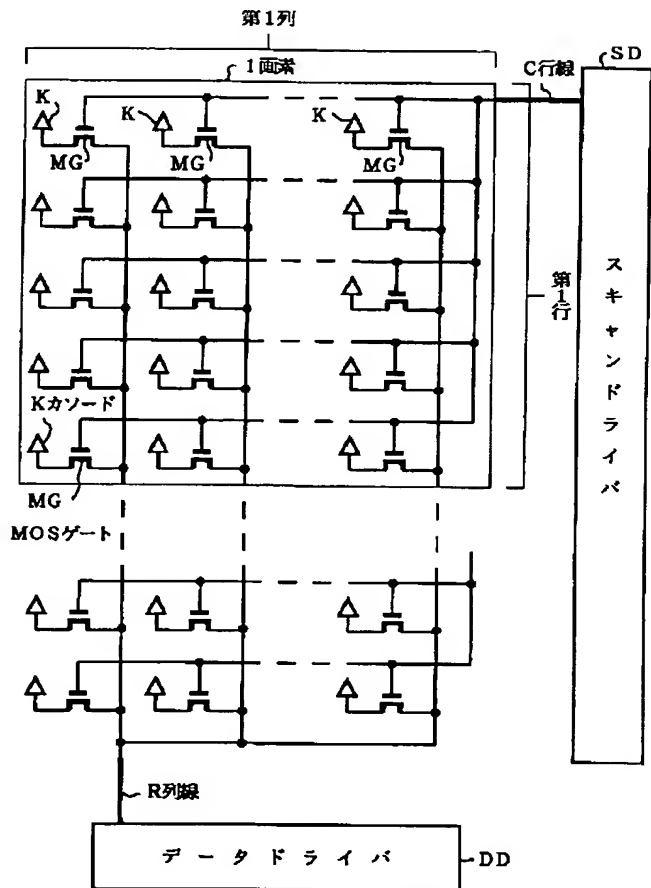


具体例1のゲートアレイ

【図2】

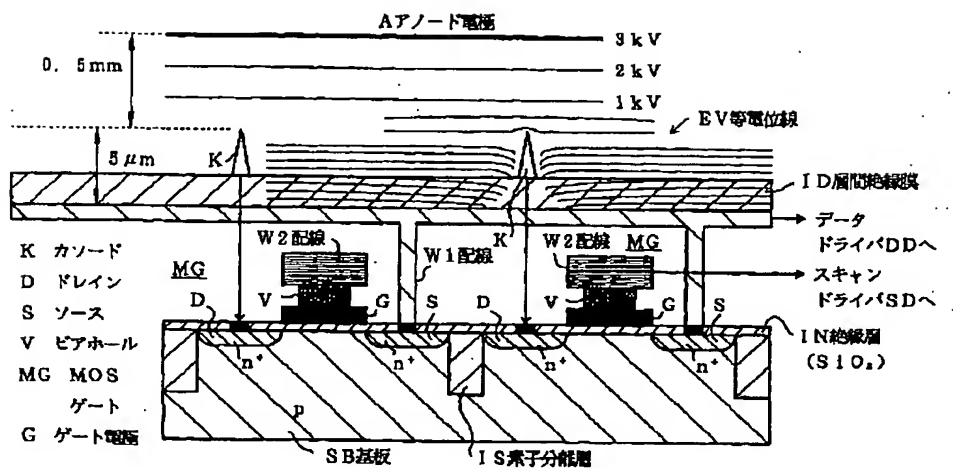


【図4】



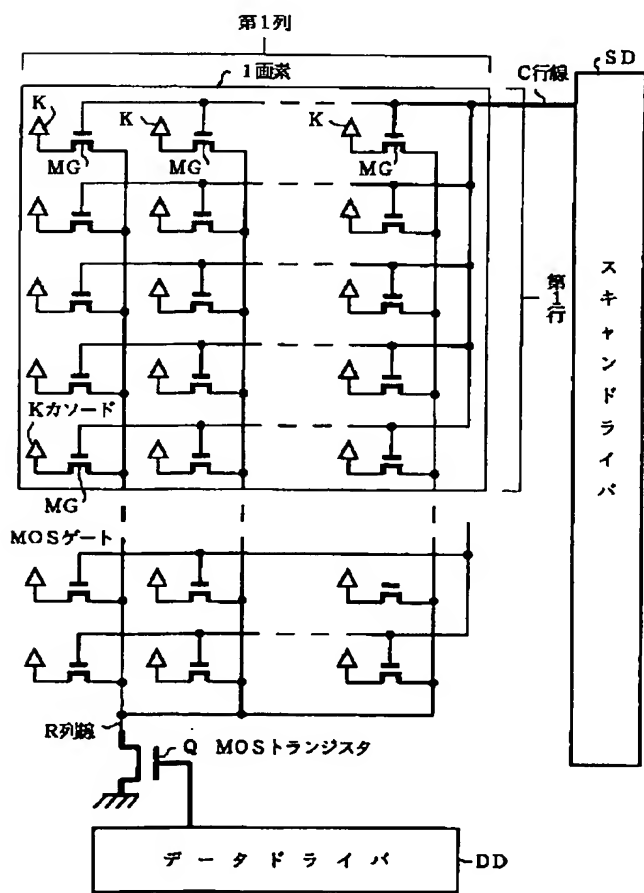
具体例1のゲートアレイ

【图 5】



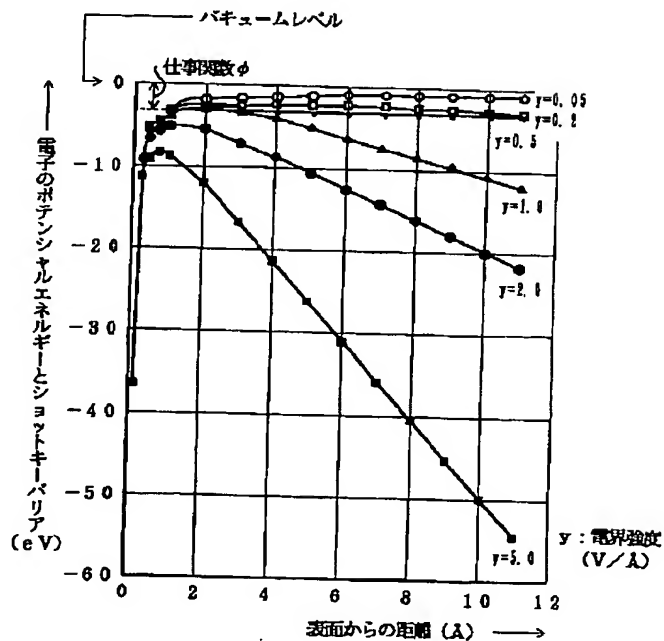
具体例1のMOSゲート付近の構造及びカソード付近の電位分布

【図 6】



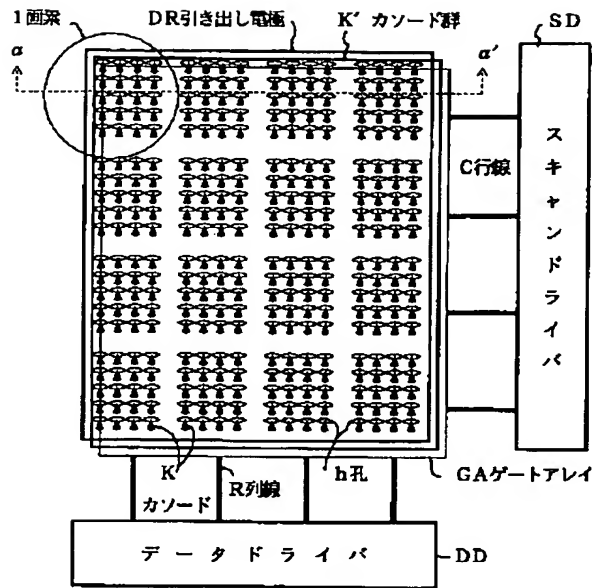
具体例1のゲートアレイ

【图 7】



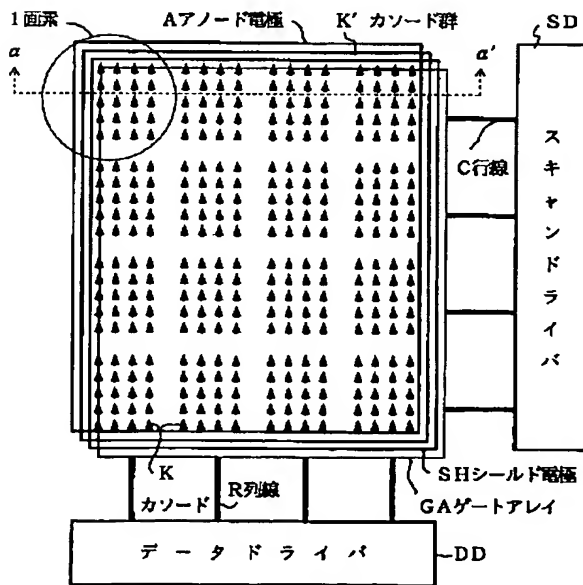
電子のポテンシャルエネルギーと ショットキーバリアの電界依存性

【図8】



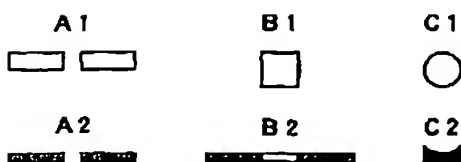
具体例2の平面型表示装置

【図10】



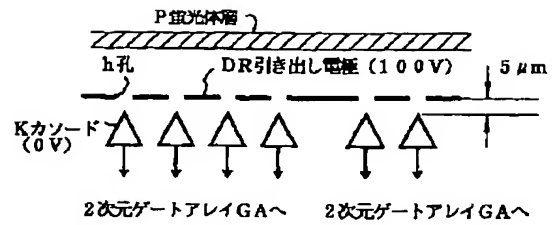
具体例3の平面型表示装置

【図17】



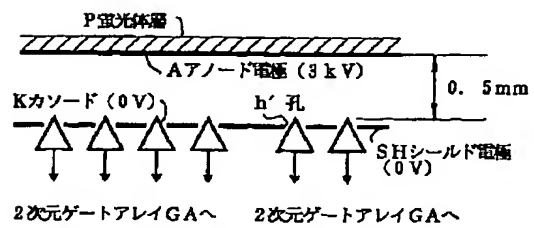
カソードの例

【図9】



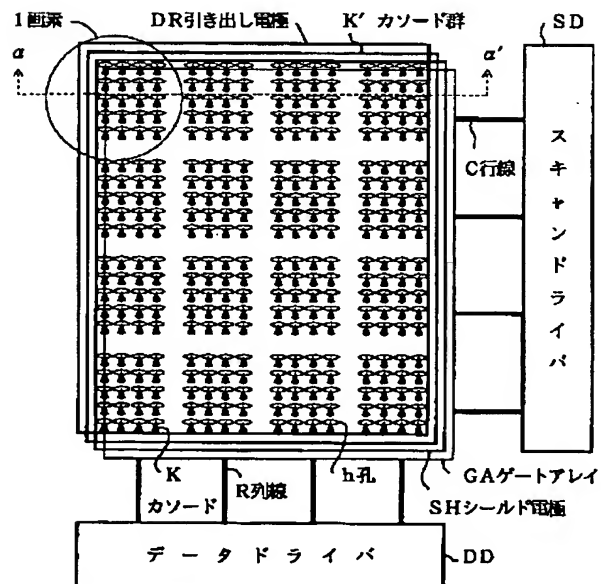
具体例2の電極 (α-α' 線上の断面)

【図11】



具体例3の電極 (α-α' 線上の断面)

【図13】



具体例4の平面型表示装置

